

10.02.2005

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 4 年 4 月 6 日

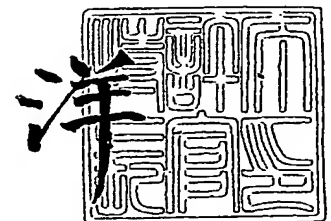
出 願 番 号  
Application Number: 特 願 2 0 0 4 - 1 1 1 9 7 6  
[ST. 10/C]: [ J P 2 0 0 4 - 1 1 1 9 7 6 ]

出 願 人  
Applicant(s): 株式会社村田製作所

2 0 0 5 年 3 月 2 5 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



【書類名】 特許願  
【整理番号】 M340014  
【あて先】 特許庁長官 今井 康夫 殿  
【国際特許分類】 H05K 3/46  
【発明者】  
    【住所又は居所】 京都府長岡京市天神二丁目26番10号 株式会社村田製作所内  
    【氏名】 山元 一生  
【発明者】  
    【住所又は居所】 京都府長岡京市天神二丁目26番10号 株式会社村田製作所内  
    【氏名】 海瀬 直樹  
【発明者】  
    【住所又は居所】 京都府長岡京市天神二丁目26番10号 株式会社村田製作所内  
    【氏名】 森木田 豊  
【特許出願人】  
    【識別番号】 000006231  
    【氏名又は名称】 株式会社村田製作所  
    【代表者】 村田 泰隆  
【代理人】  
    【識別番号】 100096910  
    【弁理士】  
    【氏名又は名称】 小原 肇  
    【電話番号】 045(476)5454  
【手数料の表示】  
    【予納台帳番号】 064828  
    【納付金額】 16,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 0404697

**【書類名】 特許請求の範囲****【請求項 1】**

絶縁体基板内で互いに所定間隔を隔てて隣接する、少なくとも2箇所のビア導体と、上記絶縁体基板内に形成されたライン導体とを接続する内部導体の接続構造において、上記一方のビア導体は、上記他方のビア導体から遠ざかる方向に延設された連続ビア導体を含み、且つ、上記一方のビア導体は、上記連続ビア導体を介して上記ライン導体に接続されてなることを特徴とする内部導体の接続構造。

**【請求項 2】**

上記ライン導体の上記連続ビア導体との接続部、または上記連続ビア導体の上記ライン導体との接続部は、相手側の接続部よりも大きな面積を有する接続ランドとして形成されてなることを特徴とする請求項1に記載の内部導体の接続構造。

**【請求項 3】**

複数の絶縁体層を積層してなる積層体と、この積層体の一方の主面において互いに所定間隔を隔てて隣接する位置から上記積層体内にそれぞれ延びる、少なくとも第1、第2ビア導体と、第1ビア導体に接続された第1ライン導体と、を有する多層基板において、上記第1ビア導体は、上記第2ビア導体から遠ざかる方向に延設された第1連続ビア導体を含み、且つ、上記第1ビア導体は、上記第1連続ビア導体を介して上記第1ライン導体に接続されてなることを特徴とする多層基板。

**【請求項 4】**

上記第1、第2ビア導体とは所定間隔を隔てて上記積層体の一方の主面から上記積層体内に延びる第3ビア導体を有し、上記第2ビア導体は、上記第1、第3ビア導体それぞれから遠ざかる方向に延設された第2連続ビア導体を含み、且つ、上記第2ビア導体は、上記第2連続ビア導体を介して第2導体ラインに接続されてなることを特徴とする請求項3に記載の多層基板。

**【請求項 5】**

上記第1、第2連続ビア導体は、互いに異なる絶縁体層に形成されてなることを特徴とする請求項4に記載の多層基板。

**【請求項 6】**

上記第1、第2連続ビア導体は、他の絶縁体層よりも薄い絶縁体層に形成されてなることを特徴とする請求項4または請求項5に記載の多層基板。

**【請求項 7】**

上記第1、第2連続ビア導体は、それぞれの絶縁体層を貫通することを特徴とする請求項4～請求項6のいずれか1項に記載の多層基板。

**【請求項 8】**

上記第1、第2連続ビア導体は、それぞれの絶縁体層を貫通しないことを特徴とする請求項4～請求項6のいずれか1項に記載の多層基板。

**【請求項 9】**

上記第1ライン導体の上記第1連続ビア導体との接続部、または上記第1連続ビア導体の上記第1ライン導体との接続部は、相手側の接続部よりも大きな接続ランドとして形成されてなることを特徴とする請求項3～請求項8のいずれか1項に記載の多層基板。

**【請求項 10】**

上記第2連続ビア導体の上記第2ライン導体との接続部、または上記第2ライン導体の上記第2連続ビア導体との接続部は、相手側の接続部よりも大きな接続ランドとして形成されてなることを特徴とする請求項4～請求項9のいずれか1項に記載の多層基板。

**【請求項 11】**

上記一方の主面に、上記各ビア導体にそれぞれ接続された表面電極を設けたことを特徴とする請求項3～請求項10のいずれか1項に記載の多層基板。

**【請求項 12】**

上記一方の主面に電子部品が搭載されており、この電子部品の外部端子電極が上記主面に露出した上記第1ビア導体及び第2ビア導体に表面電極を介することなく接続されてい

ることを特徴とする請求項 3～請求項 10 のいずれか 1 項に記載の多層基板。

【請求項 13】

上記一方の主面側はマザーボードに接続可能に構成されてなることを特徴とする請求項 3～請求項 12 のいずれか 1 項に記載の多層基板。

【請求項 14】

上記絶縁体層は、低温焼結セラミック材料からなることを特徴とする請求項 3～請求項 13 のいずれか 1 項に記載の多層基板。

【請求項 15】

上記各ビア導体及び各ライン導体は、銀または銅を主成分とする導電性材料からなることを特徴とする請求項 3～請求項 14 のいずれか 1 項に記載の多層基板。

【書類名】明細書

【発明の名称】内部導体の接続構造及び多層基板

【技術分野】

【0001】

本発明は、内部導体の接続構造及び多層基板に関し、更に詳しくは、高密度配線可能な内部導体の接続構造及び多層基板に関するものである。

【背景技術】

【0002】

近年、集積回路の微細加工技術の飛躍的な発展により、集積回路の外部端子の数が増加して外部端子の狭ピッチ化が顕著になってきている。しかも最近では集積回路のセラミック基板への搭載は主にフリップチップ接続方式によって行われる。セラミック基板の表面にはフリップチップ接続用のパッドを配置するが、集積回路の外部端子の狭ピッチ化に対応させて接続用パッドも狭ピッチ化する必要があるため、現在までに幾つかの方法が提案されている。

【0003】

例えば、特許文献1には接合用パッドをなくしたセラミック配線基板が提案されている。接合用パッドは印刷法等によって形成するが、接合用パッドの数が多くなると印刷による形成が難しくなり、また、形成できたとしてもビア導体との接合強度が弱く信頼性を確保できなくなる。そこで、特許文献1に記載の技術では、焼成収縮率がセラミックグリーンシートより小さい導体ペーストを用いてセラミック多層基板を製造することによって、スルーホール内の導体層（ビア導体）をセラミック多層基板から接合用パッドとして突出させている。これによって接合用パッドの印刷をなくし、接合用パッドとビア導体との接合強度を高めると共に接合用パッドの狭ピッチ化を実現している。しかしながら、特許文献1にはセラミック多層基板の内部におけるビア導体とライン導体との接続構造については何等配慮されていない。

【0004】

一方、特許文献2にはライン導体に接続ランドを設けてビア導体とライン導体との接続構造を改善した積層型セラミック電子部品について提案されている。ビア導体とライン導体を接続する場合には、それぞれが形成されたセラミックグリーンシートを位置合わせしてセラミックグリーンシートの積層体を作製し、焼結する。セラミックグリーンシートにビア導体及びライン導体を形成する際にこれらの加工誤差は避けられず、また、積層体を作製する際に、ビア導体とライン導体の位置ズレも避けがたいため、積層体内でのビア導体とライン導体との接続不良が生じ易い。そこで、この技術では、ライン導体にビア導体の外径より大きい径の接続ランドを設けることによって、上述の加工誤差や位置ズレによる接続不良を防止している。

【0005】

また、特許文献3には配線密度を高めることができる多層セラミック基板の製造方法が提案されている。この場合には、図9の(a)、(b)に示すように多層セラミック基板1内に配置されたビア導体2の下端に接続ランド3が形成され、ビア導体2が隣接する場合にはそれぞれの接続ランド3がそれぞれ異なるセラミック層に形成されている。そして、ビア導体2は接続ランド3を介してライン導体4に接続されている。この技術は、接続ランド3を設ける点では特許文献2の技術と共通している。

【0006】

【特許文献1】特許第2680443号公報

【特許文献2】特開2001-284811号公報

【特許文献3】特開平11-074645号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、特許文献2、3に記載の従来技術の場合には、ライン導体またはビア

導体が接続ランドを有するため、セラミック基板を製造する際に接続ランドによってビア導体とライン導体との間の位置ズレやそれぞれの加工誤差等による接続不良を防止することができるが、例えば図9の(a)に示すように接続ランド3がビア導体2から隣接するビア導体2側に張り出しているため、その張り出した分だけビア導体2、2間の狭ピッチ化を妨げるという課題があった。即ち、ビア導体2、2間の狭ピッチ化を進めると、図10に示すように接続ランド3と隣接するビア導体2との間でショートしたり、焼成時にセラミック層と接続ランド3との間の熱膨張差によって層間剥離が生じ易くなるため、ビア導体2、2間にはショートや層間剥離を防止するための隙間が最小限必要となり、しかもこの隙間以外に接続ランド3の張り出し寸法が加わり、接続ランド3がビア導体2、2間の狭ピッチ化を妨げている。

#### 【0008】

本発明は、上記課題を解決するためになされたもので、集積回路の外部端子の狭ピッチ化等に対応させて内部配線を高密度化することができる内部導体の接続構造及び多層基板を提供することを目的としている。

#### 【課題を解決するための手段】

#### 【0009】

本発明の請求項1に記載の内部導体の接続構造は、絶縁体基板内で互いに所定間隔を隔てて隣接する、少なくとも2箇所のビア導体と、上記絶縁体基板内に形成されたライン導体とを接続する内部導体の接続構造において、上記一方のビア導体は、上記他方のビア導体から遠ざかる方向に延設された連続ビア導体を含み、且つ、上記一方のビア導体は、上記連続ビア導体を介して上記ライン導体に接続されてなることを特徴とするものである。

#### 【0010】

また、本発明の請求項2に記載の内部導体の接続構造は、請求項1に記載の発明において、上記ライン導体の上記連続ビア導体との接続部、または上記連続ビア導体の上記ライン導体との接続部は、相手側の接続部よりも大きな面積を有する接続ランドとして形成されてなることを特徴とするものである。

#### 【0011】

また、本発明の請求項3に記載の多層基板は、複数の絶縁体層を積層してなる積層体と、この積層体の一方の主面において互いに所定間隔を隔てて隣接する位置から上記積層体内にそれぞれ延びる、少なくとも第1、第2ビア導体と、第1ビア導体に接続された第1ライン導体と、を有する多層基板において、上記第1ビア導体は、上記第2ビア導体から遠ざかる方向に延設された第1連続ビア導体を含み、且つ、上記第1ビア導体は、上記第1連続ビア導体を介して上記第1ライン導体に接続されてなることを特徴とするものである。

#### 【0012】

また、本発明の請求項4に記載の多層基板は、請求項3に記載の発明において、上記第1、第2ビア導体とは所定間隔を隔てて上記積層体の一方の主面から上記積層体内に延びる第3ビア導体を有し、上記第2ビア導体は、上記第1、第3ビア導体それぞれから遠ざかる方向に延設された第2連続ビア導体を含み、且つ、上記第2ビア導体は、上記第2連続ビア導体を介して第2導体ラインに接続されてなることを特徴とするものである。

#### 【0013】

また、本発明の請求項5に記載の多層基板は、請求項4に記載の発明において、上記第1、第2連続ビア導体は、互いに異なる絶縁体層に形成されてなることを特徴とするものである。

#### 【0014】

また、本発明の請求項6に記載の多層基板は、請求項4または請求項5に記載の発明において、上記第1、第2連続ビア導体は、他の絶縁体層よりも薄い絶縁体層に形成されてなることを特徴とするものである。

#### 【0015】

また、本発明の請求項7に記載の多層基板は、請求項4～請求項6のいずれか1項に記

載の発明において、上記第 1、第 2 連続ビア導体は、それぞれの絶縁体層を貫通することを特徴とするものである。

【0016】

また、本発明の請求項 8 に記載の多層基板は、請求項 4 ～請求項 6 のいずれか 1 項に記載の発明において、上記第 1、第 2 連続ビア導体は、それぞれの絶縁体層を貫通しないことを特徴とするものである。

【0017】

また、本発明の請求項 9 に記載の多層基板は、請求項 3 ～請求項 8 のいずれか 1 項に記載の発明において、上記第 1 ライン導体の上記第 1 連続ビア導体との接続部、または上記第 1 連続ビア導体の上記第 1 ライン導体との接続部は、相手側の接続部よりも大きな接続ランドとして形成されてなることを特徴とするものである。

【0018】

また、本発明の請求項 10 に記載の多層基板は、請求項 4 ～請求項 9 のいずれか 1 項に記載の発明において、上記第 2 連続ビア導体の上記第 2 ライン導体との接続部、または上記第 2 ライン導体の上記第 2 連続ビア導体との接続部は、相手側の接続部よりも大きな接続ランドとして形成されてなることを特徴とするものである。

【0019】

また、本発明の請求項 11 に記載の多層基板は、請求項 3 ～請求項 10 のいずれか 1 項に記載の発明において、上記一方の主面に、上記各ビア導体にそれぞれ接続された表面電極を設けたことを特徴とするものである。

【0020】

また、本発明の請求項 12 に記載の多層基板は、請求項 3 ～請求項 10 のいずれか 1 項に記載の発明において、上記一方の主面に電子部品が搭載されており、この電子部品の外部端子電極が上記主面に露出した上記第 1 ビア導体及び第 2 ビア導体に表面電極を介することなく接続されていることを特徴とするものである。

【0021】

また、本発明の請求項 13 に記載の多層基板は、請求項 3 ～請求項 12 のいずれか 1 項に記載の発明において、上記一方の主面側はマザーボードに接続可能に構成されてなることを特徴とするものである。

【0022】

また、本発明の請求項 14 に記載の多層基板は、請求項 3 ～請求項 13 のいずれか 1 項に記載の発明において、上記絶縁体層は、低温焼結セラミック材料からなることを特徴とするものである。

【0023】

また、本発明の請求項 15 に記載の多層基板は、請求項 3 ～請求項 14 のいずれか 1 項に記載の発明において、上記各ビア導体及び各ライン導体は、銀または銅を主成分とする導電性材料からなることを特徴とするものである。

【発明の効果】

【0024】

本発明の請求項 1 ～請求項 15 に記載の発明によれば、集積回路の外部端子の狭ピッチ化等に対応させて内部配線を高密度化することができる内部導体の接続構造及び多層基板を提供することができる。

【発明を実施するための最良の形態】

【0025】

以下、図 1 ～図 8 に示す実施形態に基づいて本発明を説明する。尚、図 1 は本発明の内部導体の接続構造の一実施例を示す模式図で、(a) は (b) の A-A 線に沿う断面図、(b) は (a) の平面図、図 2 の (a)、(b) はそれぞれ図 1 に示す内部導体の接続構造の狭ピッチ化を従来の接続構造と比較して説明するための説明図、図 3 は本発明の多層基板の一実施例を示す図で、(a) はその要部を示す断面図、(b) はビア導体とライン導体の接続構造を示すビア導体側からの平面図、(c) はビア導体とライン導体の接続構

造を示すライン導体側からの平面図、図4は図2に示す多層基板をセラミック層毎に分解して示す分解斜視図、図5は本発明の多層基板の他の実施例を示す図で、(a)はその要部を示す断面図、(b)はビア導体とライン導体の接続構造を示すビア導体側からの平面図、(c)はビア導体とライン導体の接続構造を示すライン導体側からの平面図、図6～図8はそれぞれ本発明の多層基板の更に他の実施例の要部を示す断面図である。

#### 【実施例1】

##### 【0026】

本実施例の内部導体の接続構造10は、例えば図1の(a)、(b)に模式的に示すように、複数の絶縁体層(例えばセラミック層)11Aが積層された積層体からなる絶縁体基板(セラミック多層基板)11内に水平方向で互いに所定間隔を隔てて所定のパターンで配置され且つセラミック多層基板11の表面から内部に延びる複数(図1では3本)の第1、第2、第3ビア導体12、13、14と、第1、第3ビア導体12、14にそれぞれ接続された第1、第3ライン導体15、16とを有し、例えばセラミック多層基板11の上面に搭載された集積回路(図示せず)とセラミック多層基板11が実装されたマザーボード(図示せず)とを電氣的に接続する内部導体として構成されている。

##### 【0027】

また、図1の(a)、(b)に示すように、例えば第1、第3ビア導体12、14は、それぞれ隣接する第2ビア導体13から遠ざかる方向に延設された第1、第3連続ビア導体17、18を含み、且つ、第1、第3ビア導体12、14は、それぞれ第1、第3連続ビア導体17、18を介して第1、第3ライン導体15、16にそれぞれ接続されている。第1、第3ビア導体12、14は、それぞれの連続ビア導体17、18を介してそれぞれのライン導体15、16に接続するための、第1、第3ビア導体12、14から隣接するビア導体13への張り出しがなく、隣接するビア導体13との距離を詰めて狭ピッチ化することができる。

##### 【0028】

また、図1の(b)に示すように、一行目と三行目のビア導体は上下対称になっている。そこで、一行目と三行目のビア導体をそれぞれ第4、第5、第6ビア導体19、20、21とし、第4、第5、第6ビア導体19、20、21から延設された連続ビア導体をそれぞれ第4、第5、第6連続ビア導体22、23、24とし、これらの連続ビア導体22、23、24にそれぞれ接続ランド25A、26A、27Aを介して接続されたライン導体をそれぞれ第4、第5、第6ライン導体25、26、27とする。従って、同図では第1、第3ビア導体12、14及び第4、第5、第6ビア導体19、20、21は第2ビア導体13を中心に上下左右対称に配置されている。そして、第4、第5、第6連続ビア導体22、23、24は、隣接するビア導体から遠ざかる方向に延設され、延設端で第4、第5、第6ライン導体25、26、27に接続されている。第4、第5、第6ビア導体19、20、21にも第1、第2、第3ビア導体12、13、14と同様の関係が成り立つ。

##### 【0029】

図1の(b)に示すように、第1、第3連続ビア導体17、18及び第4、第5、第6連続ビア導体22、23、24は、第2ビア導体13を中心にして第1、第3ビア導体12、14及び第4、第5、第6ビア導体19、20、21から外側へ放射状に延設されている。連続ビア導体は、ビア導体とこれに接続されるライン導体のパターンによって延びる方向が決まるが、連続ビア導体は隣接するビア導体から遠ざかる方向に延設されたものであれば良い。また、図1の(a)では第1、第2連続ビア17、18は同一のセラミック層11A内に形成されているが、第1、第2連続ビア17、18及び第4、第5、第6連続ビア導体22、23、24は、ライン導体の配線状態によってそれぞれ異なるセラミック層11Aに形成することによってライン導体間の干渉を防止することができる。

##### 【0030】

次に、図2を参照しながら本実施例の内部導体の接続構造10が図9に示す従来の接続構造と比較してどの程度狭ピッチ化できるかについて第1、第2ビア導体12、13を例



に挙げて説明する。従来の接続構造の場合には、図2の(b)に示すようにビア導体2とライン導体3とを確実に接続するために必要な接続ランド4のビア導体2からの張り出し寸法 $M_1$ と、接続ランド4と隣接するビア導体2間においてショートや層間剥離が発生しない最低限必要な寸法 $G_1$ の他に、たとえ位置ズレが起きても最低限必要なギャップを割らないようにもたせるマージン $M_2$ とを合計した距離( $M_1 + M_2 + G_1$ )が隣り合うビア導体2、2間に必要である。この距離( $M_1 + M_2 + G_1$ )としては通常 $200\mu\text{m}$ 程度が必要である。従って、従来の接続構造の場合にはビア導体2、2間の距離を $200\mu\text{m}$ 以内に詰めて狭ピッチ化することは困難であった。

#### 【0031】

これに対して、本実施例の接続構造10の場合には、第1ビア導体12と隣接する第2ビア導体13間においてショートや層間剥離が発生しない最低限必要な寸法 $G_2$ と、第1、第2ビア導体12、13同士が位置ズレを起こした場合にギャップ $G_2$ を割らないためのマージン $M_3$ とを合計した距離( $M_3 + G_2$ )が隣り合う第1、第2ビア導体12、13間に必要である。本実施例の接続構造10における寸法 $G_2$ と従来の接続構造における寸法 $G_1$ とは実質的に同一寸法で、寸法 $M_3$ は第1ライン導体15に接続しようとする第1ビア導体12とそれに連続して配置する第2ビア導体13が同一プロセスで加工されるために、誤差要因はビア加工精度のみとなり、ライン印刷時のパターンの伸びやビア加工とライン印刷の二つのプロセスを経るための加工誤差の増加といった要因がなくなって位置ズレ量が小さくなる。そのため、本実施例の第1の利点として接続信頼性のためのビア径よりも大きい接続ランド $M_1$ の必要がなくなり、第2の利点として位置ズレを起こした場合において隣接する第1、第2ビア導体12、13とのショートやクラック(層間剥離)の発生を防ぐために取るマージン $M_2$ も小さくて済む。従って、本実施例における第1ビア導体12と第2ビア導体13間の距離は、例えば従来の半分の距離 $100\mu\text{m}$ 程度まで詰めることができ、従来と比較して格段に狭ピッチ化することができる。

#### 【0032】

さて、第1連続ビア導体17は、例えば図1の(a)、(b)に示すように、セラミック層11A一層分を貫通して形成され、しかも第1ビア導体12と同一径を有する円柱状導体が水平方向に部分的に重複して4個連設して形成されている。第1連続ビア導体17は、セラミック多層基板を製造する際にセラミックグリーンシート(図示せず)にレーザー光等を用いて第1ビア導体12と同一径の貫通孔を部分的に重複させて設けた細長形状の貫通孔に導電性ペーストを充填し、セラミック多層基板として焼結することによって略直線状に形成することができる。この第1連続ビア導体17の長手方向の側面は円弧面が重なって形成された凹凸面として形成されている。また、第1ライン導体15は、図1の(b)に示すように、第1連続ビア導体17との接続部となる接続ランド15Aを有している。この接続ランド15Aは第1連続ビア17の延設端部の外径よりも大きな外径を有する円形状に形成されている。従って、第1ライン導体15と第1ビア導体12との間に多少の位置ズレがあっても、第1連続ビア導体17を介してこれら両者12、15を確実に接続できる。また、接続ランド15Aは、第1ビア導体12の外径より大きな外径であっても、第1ビア導体12よりも第2ビア導体13から遠ざかった位置にあるため、第1ビア導体12から第2ビア導体13側に張り出すことはなく、第1、第2ビア導体12、13の狭ピッチ化を妨げることはない。

#### 【0033】

本実施例の内部導体の接続構造10は、第1ライン導体15に接続ランド15Aを設けたものであるが、接続ランドは連続ビア導体17側に設けても良い。この場合には、例えば第2ビア導体13から最も遠い円柱状導体の外径のみを第1ビア導体12の外径よりも大きくすることによって実現することができる。

#### 【0034】

以上説明したように本実施例によれば、セラミック多層基板11内で互いに隣接する複数の第1、第2第3ビア導体12、13、14と、セラミック多層基板11内に形成された第1、第3ライン導体15、16とを接続する内部導体の接続構造において、第1、第

3ライン導体15、16に接続される第1、第3ビア導体12、14は、隣接する第2ビア導体13から遠ざかる方向に延設された第1、第3連続ビア導体17、18を含み、且つ、第1、第3ビア導体12、14は、第1、第3連続ビア導体17、18を介して第1、第3ライン導体15、16に接続されているため、第1、第3ビア導体12、14には第2ビア導体13側への張り出しがなく、第1、第3ビア導体12、14と第2ビア導体13との間のピッチを狭くすることができ、延いては集積回路の外部端子の狭ピッチ化に対応させて高密度配線を実現することができる。

#### 【0035】

また、第1ビア導体12と第1ライン導体15は第1連続ビア導体17の延設端部を介して接続されるため、第1ライン導体15に接続ランド15Aを形成しても、接続ランド15Aは第1ビア導体12から第2ビア導体13側に張り出すことがなく、セラミック多層基板11を製造する際に第1連続ビア導体17と第1ライン導体15の位置ズレを接続ランド15Aで吸収することができ、第1ビア導体12と第1ライン導体15とを確実に接続することができる。

#### 【実施例2】

#### 【0036】

次に、図3～図7を参照しながら本発明の多層基板の実施例について説明する。本実施例の多層基板は上述した内部導体の接続構造を備えているため、互いに隣り合うビア導体を中心に説明する。

#### 【0037】

本実施例の多層基板（例えばセラミック多層基板）30は、例えば図3の（a）～（c）に示すように、複数の絶縁体層（例えばセラミック層）31Aを積層してなる積層体31と、この積層体31の一方の主面（上面）において互いに所定間隔（例えば、100 $\mu$ m）を隔てた位置から積層体31内にそれぞれ延びる、第1、第2、第3、第4、第5ビア導体32A、32B、32C、32D、32Eと、第1、第2、第4、第5ビア導体32A、32B、32D、32Eにそれぞれ接続された第1、第2、第4、第5ライン導体33A、33B、33D、33Eと、を有し、積層体31の上面に集積回路40が搭載されている。そして、例えば、第1ビア導体32Aと第2ビア導体32Bは、図3の（a）に示すように互いに隣接している。集積回路40の複数の外部端子（図示せず）は、第1～第5ビア導体32A～32Eに対して半田ボール41を介して電気的に接続されている。これらのビア導体32A～32E及びライン導体33A～33Eは、それぞれ同一の接続構造を有するため、第1ビア導体32A及び第1ライン導体33Aについて説明し、他のビア導体及びライン導体については符号のみを附してそれぞれの説明を省略する。本実施例においては、集積回路40の外部端子が、積層体31の上面に露出する第1～第5ビア導体32A～32Eに、表面電極（接続用パッド）を介することなく直接接続されている。このため、狭ピッチ化した外部端子に十分に対応することができる。尚、積層体31の表面にスペース的に余裕があれば、積層体31の上面に外部端子に対応する表面電極を設け、これらの表面電極にビア導体を接続しても良い。表面電極を設けることによって集積回路40の外部端子とビア導体との位置合わせが容易になる。

#### 【0038】

第1ビア導体32Aは、図3の（a）に示すように、隣接する第2ビア導体32Bから遠ざかる方向（同図では左方向）に延設された第1連続ビア導体34Aを含み、且つ、第1ビア導体32Aは、第1連続ビア導体34Aを介して第1ライン導体33Aに接続されている。第1連続ビア導体34A及び第1ライン導体33Aは図1に示す接続構造10のものと同様に構成されている。つまり、第1ビア導体32Aの第1連続ビア導体34Aは、円柱状導体が部分的に重複して直線状に一体的に配列され、しかもセラミック層31Aを貫通している。第1連続ビア導体34Aは、実施例1の接続構造10と異なり、全体が第2ビア導体32Bから遠ざかる方向に偏倚して配置されている。第1連続ビア導体34Aを偏倚させることによって第1連続ビア導体34Aと第1ビア導体32A間の位置ズレがあっても第1連続ビア導体34Aが第2ビア導体32B側に張り出さないようにしてあ

る。また、図3の(b)、(c)に示すように第1ライン導体33Aの第1連続ビア導体34Aとの接続部には円柱状導体の大径より大きな径をもった接続ランド35Aが一体的に形成されている。尚、本実施例では、第1ビア導体32Aと第1ライン導体33Aとは第1連続ビア導体34Aの同一側の面(上面)側にそれぞれ接続されている。

#### 【0039】

図3に示す多層基板30をセラミック層31A毎に分解して示したものが図4である。尚、図4には2行目の第1～第5ビア導体32A～32Eに関連する部分にのみ符号を付してある。図4に示すように、積層体31の上面を形成する第1層目のセラミック層31Aには第1～第5ビア導体32A～32Eが複数行(同図では3行)に渡って配置され、これらのビア導体32A～32Eは全体としてマトリックス状に配列されている。第2層目のセラミック層31Aには第1～第5ビア導体32A～32E、それぞれの連続ビア導体34A～34E及びライン導体33A～33Eが形成されている。第3層目のセラミック層31Aには第2、第3、第4ビア導体32B、32C、32Dのみが形成されている。第4層目のセラミック層31Aには第2、第3、第4ビア導体32B、32C、32D、それぞれの連続ビア導体34B、34C、34D及びライン導体33B、33C、33Dが形成されている。そして、いずれのセラミック層31Aの連続ビア導体も隣接するビア導体から遠ざかる方向に延びるように形成されている。図4において連続ビア導体とライン導体の接続部の大きな外径の部分はライン導体の接続ランドである。

#### 【0040】

また、図3の(a)に示すように隣接する第1、第2ビア導体32A、32Bがそれぞれ第1、第2連続ビア導体34A、34Bを介して第1、第2ライン導体33A(第2ライン導体は図示せず)に接続されている場合には、第1、第2連続ビア導体34A、34Bを異なる上下のセラミック層31A、31Aに設け、ライン導体間の干渉を防止することができ、ビア導体を高密度化できる。

#### 【0041】

而して、セラミック層31Aを形成する材料としては、例えば低温焼結セラミック材料を用いることが好ましい。低温焼結セラミック材料とは、例えば1000℃以下の焼成温度で焼結可能な材料であり、AgやCu等の低融点金属と共焼結可能なセラミック材料のことを云う。低温焼結セラミック材料としては、例えばアルミナ、フォスフェイト等のセラミック粉末にホウ珪酸系ガラスを混合してなるガラス複合系材料、ZnO-MgO-Al<sub>2</sub>O<sub>3</sub>-SiO<sub>2</sub>系の結晶化ガラスを用いた結晶化ガラス系材料、BaO-Al<sub>2</sub>O<sub>3</sub>-SiO<sub>2</sub>系セラミック粉末やAl<sub>2</sub>O<sub>3</sub>-CaO-SiO<sub>2</sub>-MgO-B<sub>2</sub>O<sub>3</sub>系セラミック粉末等を用いた非ガラス系材料等を挙げることができる。

#### 【0042】

また、ビア導体、連続ビア導体及びライン導体としては、比抵抗の小さい導電性材料を用いることができる。導電性材料としては、例えば低温焼結セラミック材料と共焼結可能なAgやCuを主成分とする導電性材料を用いることが好ましい。AgやCuを主成分とする導体は、電気抵抗が小さく、セラミック多層基板30を高周波部品として用いる場合に有利である。

#### 【0043】

次に、本実施例のセラミック多層基板30の製造方法について概説する。

#### 【0044】

まず、低温焼結セラミック材料をビニルアルコール系バインダ中に分散させてスラリーを調製した後、このスラリーをドクターブレード法等によってキャリアフィルム上に塗布して低温焼結用のセラミックグリーンシートを作製する。その後、セラミックグリーンシートを所定の大きさに切断する。

#### 【0045】

次いで、出力制御されたレーザ光(例えばCO<sub>2</sub>レーザ光)をキャリアフィルム側から照射し、キャリアフィルム及びセラミックグリーンシートを貫通させてこれら両者にビア導体用のスルーホールを形成する。また、セラミックグリーンシートに連続ビア導体用の

貫通孔を形成する場合にはレーザ光を所定寸法ずつ移動させて例えば4個のスルーホールを連続的に連通するように形成する。この際各スルーホールが部分的に重なるようにレーザ光を移動させる。キャリアフィルムの強度が不足する場合には、弱粘着フィルム（例えば、アクリル系粘着剤を約 $10\mu\text{m}$ 塗布したPETフィルム）をセラミックグリーンシート面に貼り付けてセラミックグリーンシートを保持した後、レーザ光を照射し、キャリアフィルム、セラミックグリーンシート及び弱粘着フィルムを貫通させてスルーホールを形成するようにしても良い。

#### 【0046】

然る後、キャリアフィルム側からスルーホール内に導電性ペーストを充填し、余分な導電性ペーストをキャリアフィルムから除去する。導電性ペーストをスルーホール内に充填する際、吸引機構を付設した支持台にセラミックグリーンシートを配置し、スルーホール内を負圧にすることによってスルーホール内に導電性ペーストを確実に充填することができる。弱粘着フィルムを使用した場合には導電性ペーストの乾燥後、弱粘着フィルムをセラミックグリーンシートから剥離する。

#### 【0047】

また、キャリアフィルム上のセラミックグリーンシートに導電性ペーストをスクリーン印刷することによって所定のパターンで塗布して接続ランドを有するライン導体用の配線パターンを形成する。

#### 【0048】

上述の手順でビア導体、連続ビア導体及びライン導体用の導電性ペーストを充填し、塗布したセラミックグリーンシートを必要枚数作製した後、これらのセラミックグリーンシートを積層し、所定の圧力で圧着して生の積層体を作製する。この際、加工誤差や積層ズレ等によってビア導体用の導電性ペーストの充填部とライン導体用の配線パターンに位置ズレがあっても、この位置ズレを接続ランドで吸収することができるため、連続ビア導体を含むビア導体用の導電性ペーストの充填部とライン導体用の配線パターンとを確実に接続することができる。

#### 【0049】

その後、個々のセラミック多層基板に分割するための分割線を生の積層体の表面に形成する。そして、生の積層体を $1000^{\circ}\text{C}$ 以下の所定の温度で焼成して焼結体を得る。この焼結体にメッキ処理を施した後、焼結体を分割して本実施例のセラミック多層基板を複数得ることができる。

#### 【0050】

以上説明したように本実施例によれば、複数のセラミック層31Aを積層してなる積層体31と、この積層体31の上面において互いに所定間隔を隔てて隣接する位置から積層体31内にそれぞれ延びる、第1、第2ビア導体32A、32Bと、第1ビア導体32Aに接続された第1ライン導体33Aと、を有し、第1ビア導体32Aは、第2ビア導体32Bから遠ざかる方向に延設された第1連続ビア導体34Aを含み、且つ、第1ビア導体32Aは、第1連続ビア導体34Aを介して第1ライン導体33Aに接続されているため、即ち、第1ビア導体32Aと第1ライン導体33Aの接続構造は前述した内部導体の接続構造10と同一の構成を有するため、集積回路40の外部端子に即して第1、第2ビア導体32A、32Bを狭ピッチ化することができる。また、他の隣接するビア導体、例えば第2ビア導体32Bと第3ビア導体32Cとの間においても上述した関係が成り立ち、全方向のビア導体間の狭ピッチ化を実現することができる。従って、本実施例の多層セラミック基板30は、集積回路40に即した高密度配線を実現することができる。

#### 【0051】

また、本実施例によれば、例えば隣接する第1、第2ビア導体32A、32Bの第1、第2連続ビア導体34A、34Bを異なるセラミック層31A、31Aに設けたため、第1、第2連続ビア導体34A、34Bが互いに干渉することなく確実にそれぞれが隣接する第2、第3ビア導体32B、32Cから遠ざかる方向に形成することができる。

#### 【実施例3】

## 【0052】

本実施例のセラミック多層基板は、実施例2のセラミック多層基板30と連続ビア導体及びライン導体の形態を異にする以外は実施例2のセラミック多層基板30に準じて構成されている。従って、実施例2のセラミック基板30と同一または相当部分には同一符号を附し、本実施例の特徴部分についてのみ説明する。

## 【0053】

本実施例では実施例2の第1ライン導体33Aの接続ランド35Aに代えて、図5の(a)～(c)に示すように第1連続ビア導体34Aの第1ライン導体33Aとの接続部(延設端部)に接続ランド36Aが形成されている。この接続ランド36Aは第1ビア導体32Aの外径及び第1ライン導体33Aの幅より大きい径を有する円柱状導体によって形成されている。第1連続ビア導体34Aの他の円柱状導体は第1ビア導体32Aと同一外径として形成されている。本実施例においても実施例2と同様の作用効果を期することができる。尚、本実施例では、第1ライン導体33Aは、第1連続ビア導体34Aに関し、第1ビア導体32Aとは反対側の面に接続されている。

## 【実施例4】

## 【0054】

本実施例のセラミック多層基板は、実施例2のセラミック多層基板30と連続ビア導体の形態を異にする以外は実施例2のセラミック多層基板30に準じて構成されている。従って、実施例1のセラミック基板30と同一または相当部分には同一符号を附し、本実施例の特徴部分についてのみ説明する。

## 【0055】

本実施例では図6に示すように第1連続ビア導体34Aはセラミック層31Aを貫通せず、セラミック層31Aに形成された凹陷部を埋めて形成されている。そして、第1連続ビア導体34Aの上面で第1ライン導体33Aに接続されている。第1ライン導体33Aは実施例2と同様に接続ランドを有している。実施例2の場合よりもレーザ光がセラミックグリーンシートを貫通しないようにレーザ光出力を制御してレーザ光をセラミックグリーンシートに照射することによってセラミックグリーンシートに凹陷部を形成することができる。そして、この凹陷部に導電性ペーストを充填し、焼成することによって図6に示す第1連続ビア導体34Aを得ることができる。本実施例では凹陷部内に導電性ペーストを充填するため、導電性ペーストの漏れを防止することができ、信頼性の高いビア導体を得ることができる。また、第1連続ビア導体34Aは、セラミック層31Aを貫通しないため、図6に示すように第1連続ビア導体34Aと重なる位置にライン導体33Xを配置しても、第1ビア導体32Aとライン導体33Xが接触することがないため、実施例1～3のように製造段階で印刷のないセラミックグリーンシートを間に挟む必要がなく、積層層31の厚みを薄くすることができ、セラミック多層基板30の低背化を促進することができる。また、セラミックグリーンシートを挟む場合でもシート厚を薄くすることができ、延いては低背化に寄与することができる。その他、実施例2、3と同様の作用効果を期することができる。

## 【0056】

また、実施例2～4のセラミック多層基板30は、例えば図7に示すようにマザーボード50に実装することができる。この場合には、積層体31の下面に表出したビア導体32をマザーボード50の端子電極51に半田を介して接続する。また、露出したビア導体32を、表面電極(接合用パッド)を介することなく、マザーボード50の端子電極51に直接接続することができ、端子電極51の狭ピッチ化にも対応することができる。従って、上面に集積回路等の能動部品やチップ型セラミック電子部品等の受動部品を搭載したセラミック多層基板30をマザーボード50に高密度実装することができる。

## 【実施例5】

## 【0057】

本実施例のセラミック多層基板は、連続ビア導体を含む絶縁体層(例えば、セラミック層)が他の絶縁体層よりも薄く形成されていること以外は実施例2のセラミック多層基板

30 に準じて構成されている。従って、実施例 2 のセラミック基板 30 と同一または相当部分には同一符号を附し、本実施例の特徴部分についてのみ説明する。

#### 【0058】

本実施例では図 8 に示すように第 1 連続ビア導体 34 A が形成されたセラミック層 31' A が他のセラミック層 31 A よりも薄く形成されている。この第 1 連続ビア導体 34 A は実施例 1 ～ 3 と同様にセラミック層 31' A を貫通して形成されている。更に、この第 1 連続ビア導体 34 A と重なる位置にライン導体 33 X を配置する場合には同図に示すように他のセラミック層 31 A より薄いセラミック層 31' A をこれら両者 34 A、33 X 間に介在させる。このような構成により、実施例 1 ～ 3 の場合と比較して積層体 31 を薄層化してセラミック多層基板 30 の低背化を促進することができ、また、実施例 4 の場合と比較してレーザ光出力の制御が不要になる。

#### 【0059】

即ち、実施例 1 ～ 3 の場合には、第 1 連続ビア導体 34 A がセラミック層 31 A を貫通しているため、第 1 連続ビア導体 34 A と重なる位置にライン導体 33 X を配置する場合には第 1 連続ビア導体 34 A との接触を避けるために印刷のないセラミックグリーンシートを介在させる必要があり、印刷のないセラミック層の分だけセラミック多層基板 30 が厚くなる。また、実施例 4 の場合には、第 1 連続ビア導体 34 A がセラミック層 31 A を貫通しない非貫通型であるため、第 1 連続ビア導体 34 A 用の凹陥部を設ける際にレーザ光出力を制御する必要がある。ところが、実施例 5 の場合には実施例 1 ～ 4 の場合の不都合を解消することができる。

#### 【0060】

また、上記各実施例では連続ビア導体をビア導体とライン導体を接続する場合について説明したが、本発明における連続ビア導体は、ライン導体に代えてビア導体同士を接続する場合にも利用することができる。ビア導体がマトリックス状に配置され、接続するビア導体同士が他のビア導体に両側から挟まれた状態で配置されている場合には、連続ビア導体を用いてこれら両者を接続することによって確実に接続することができる。連続ビア導体用のスルーホールはビア導体用のスルーホールを形成する段階で設けるため、ライン導体の印刷等による位置ズレを生じることなく正確に形成することができる。ライン導体でビア導体同士を接続する場合には、ライン導体の印刷ズレやセラミックグリーンシートの積層段階でビア導体とライン導体との間で位置ズレを生じ易く、またライン導体が接続ランドを有するため、ライン導体とビア導体間に位置ズレがあると、これらのビア導体を挟むビア導体と接続ランドが接近し、あるいは接触する虞がある。また、接続し得たとしても接続ランドと隣接するビア導体との間でショートしたりする虞がある。

#### 【0061】

尚、本発明は上記各実施例に何等制限されるものではない。例えば、連続ビア導体がセラミック層を貫通するタイプの場合には、連続ビア導体の各円柱状導体を逆円錐台状に形成することによって、換言すればセラミックグリーンシートに設ける各円柱状導体用のスルーホールを逆円錐台状に形成することによって、導電性ペーストの漏れを確実に防止することができる。

#### 【産業上の利用可能性】

#### 【0062】

本発明は、種々のチップ型電子部品を搭載するための多層基板として好適に利用することができる。

#### 【図面の簡単な説明】

#### 【0063】

【図 1】 本発明の内部導体の接続構造の一実施例を示す模式図で、(a) は (b) の A-A 線に沿う断面図、(b) は (a) の平面図である。

【図 2】 (a)、(b) はそれぞれ図 1 に示す内部導体の接続構造の狭ピッチ化を従来の接続構造と比較して説明するための説明図である。

【図 3】 本発明の多層基板の一実施例を示す図で、(a) はその要部を示す断面図、



(b) はビア導体とライン導体の接続構造を示すビア導体側からの平面図、(c) はビア導体とライン導体の接続構造を示すライン導体側からの平面図である。

【図4】図2に示す多層基板をセラミック層毎に分解して示す分解斜視図である。

【図5】本発明の多層基板の他の実施例を示す図で、(a) はその要部を示す断面図、(b) はビア導体とライン導体の接続構造を示すビア導体側からの平面図、(c) はビア導体とライン導体の接続構造を示すライン導体側からの平面図である。

【図6】本発明の多層基板の更に他の実施例の要部を示す断面図である。

【図7】本発明の多層基板の更に他の実施例の要部を示す断面図である。

【図8】本発明の多層基板の更に他の実施例の要部を示す断面図である。

【図9】従来の多層基板を示す図で、(a) はその要部を示す断面図、(b) はビア導体とライン導体の接続構造を示すビア導体側からの平面図である。

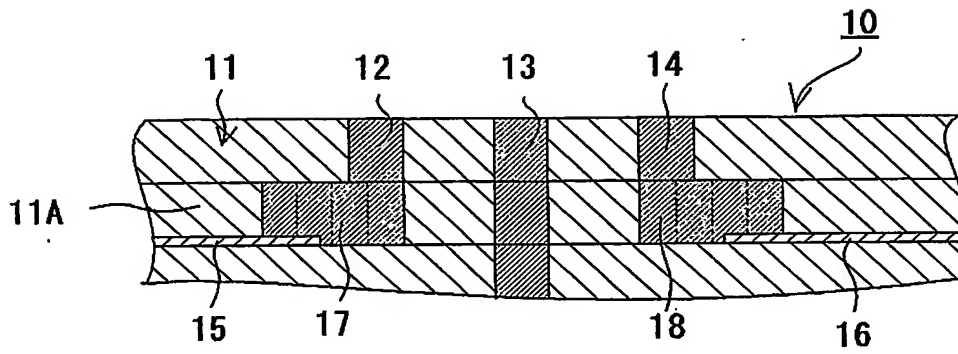
【図10】図9に示す多層基板におけるビア導体とライン導体間でショートした状態を示す説明図である。

【符号の説明】

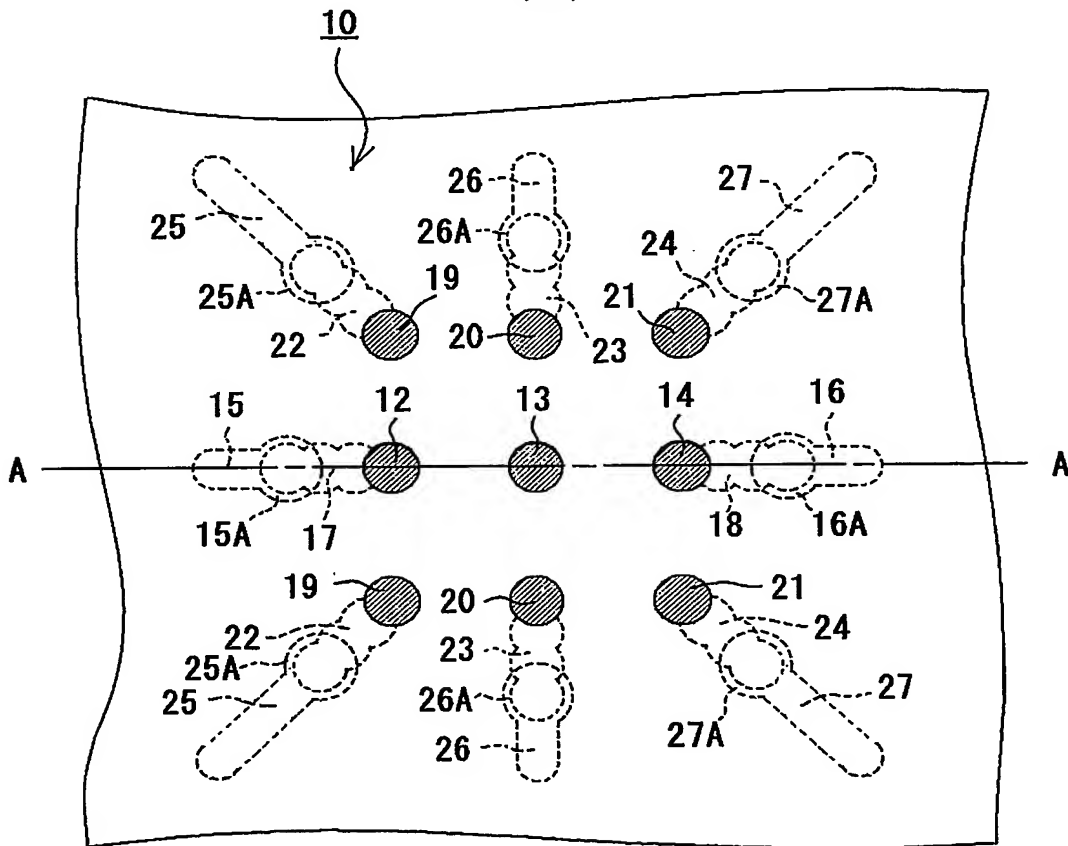
【0064】

- 10 内部導体の接続構造
- 11 セラミック多層基板（絶縁体基板）
- 12 第1ビア導体
- 13 第2ビア導体
- 15 第1ライン導体
- 17 第1連続ビア導体
- 15A 接続ランド（接続部）
- 30 セラミック多層基板（多層基板）
- 31 積層体
- 31A セラミック層（絶縁体層）
- 31' A 薄いセラミック層（薄い絶縁体層）
- 32A 第1ビア導体
- 32B 第2ビア導体
- 32C 第3ビア導体
- 33A 第1ライン導体
- 34A 第1連続ビア導体
- 35A 接続ランド
- 36A 接続ランド
- 40 集積回路
- 50 マザーボード

【書類名】図面  
【図 1】



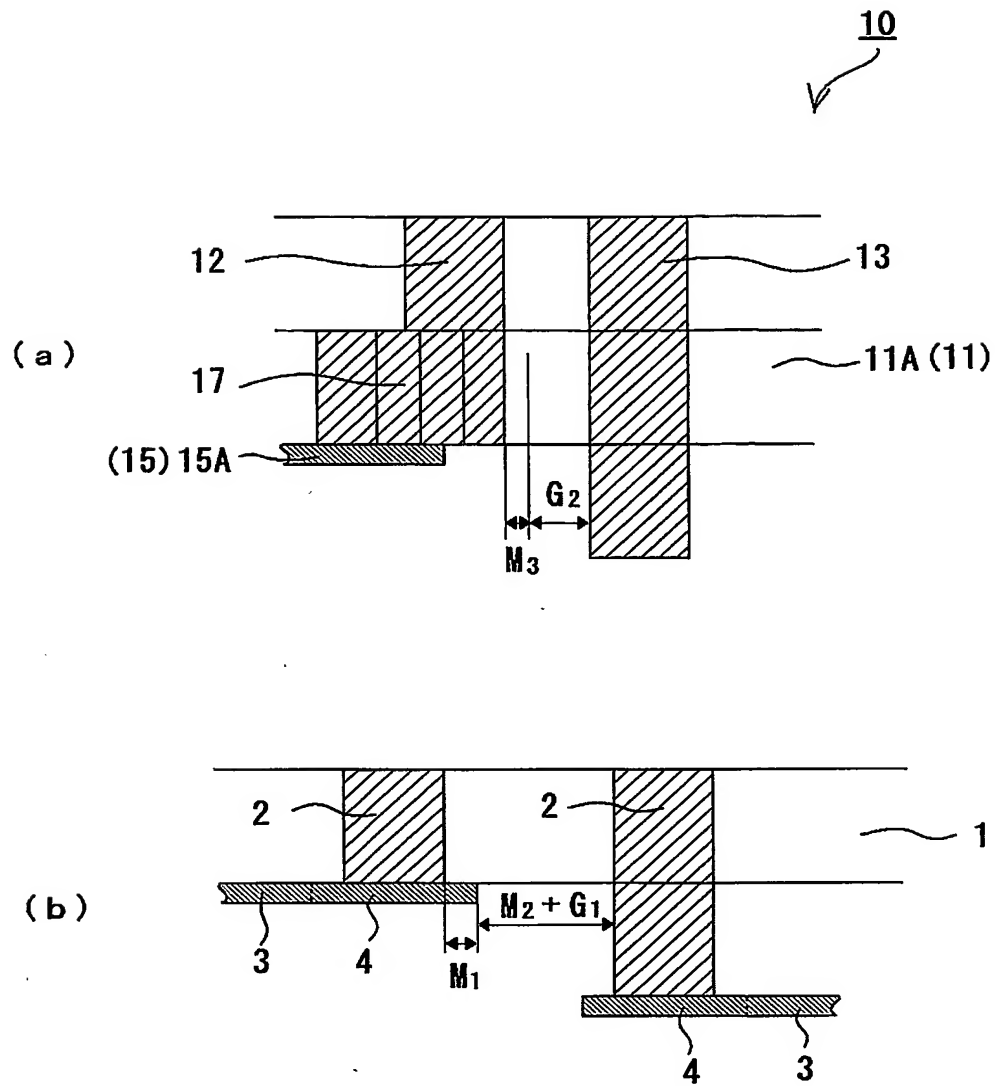
(a)



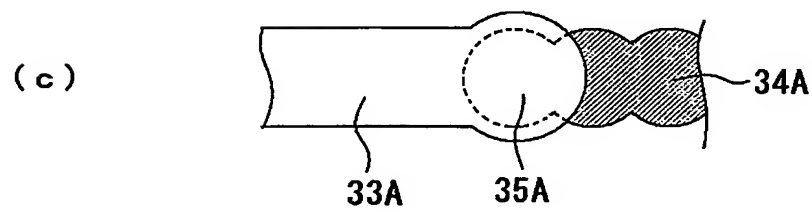
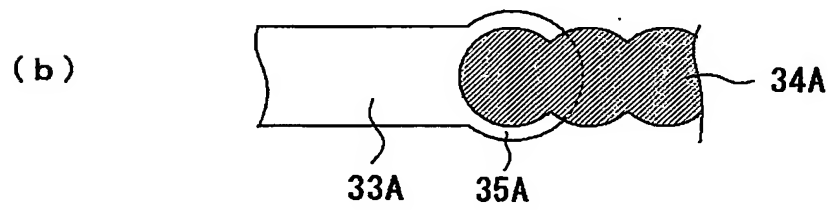
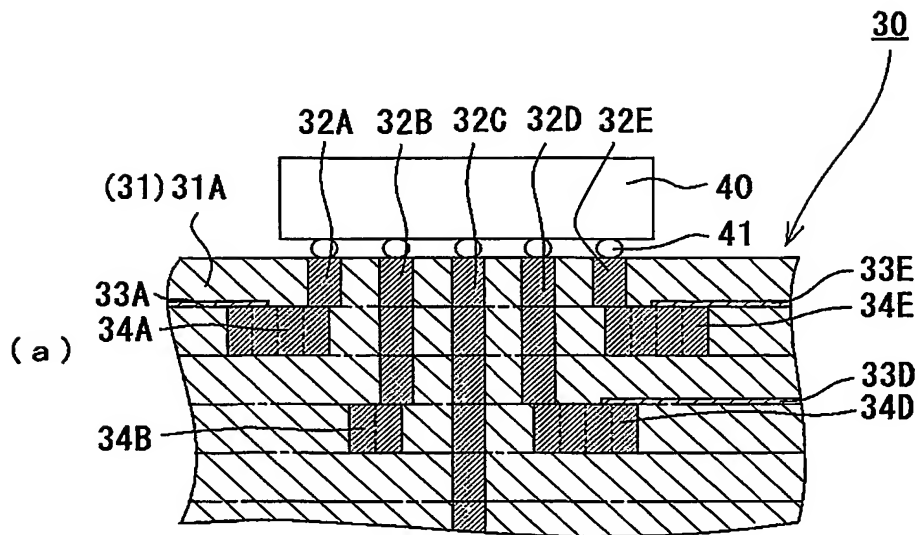
(b)



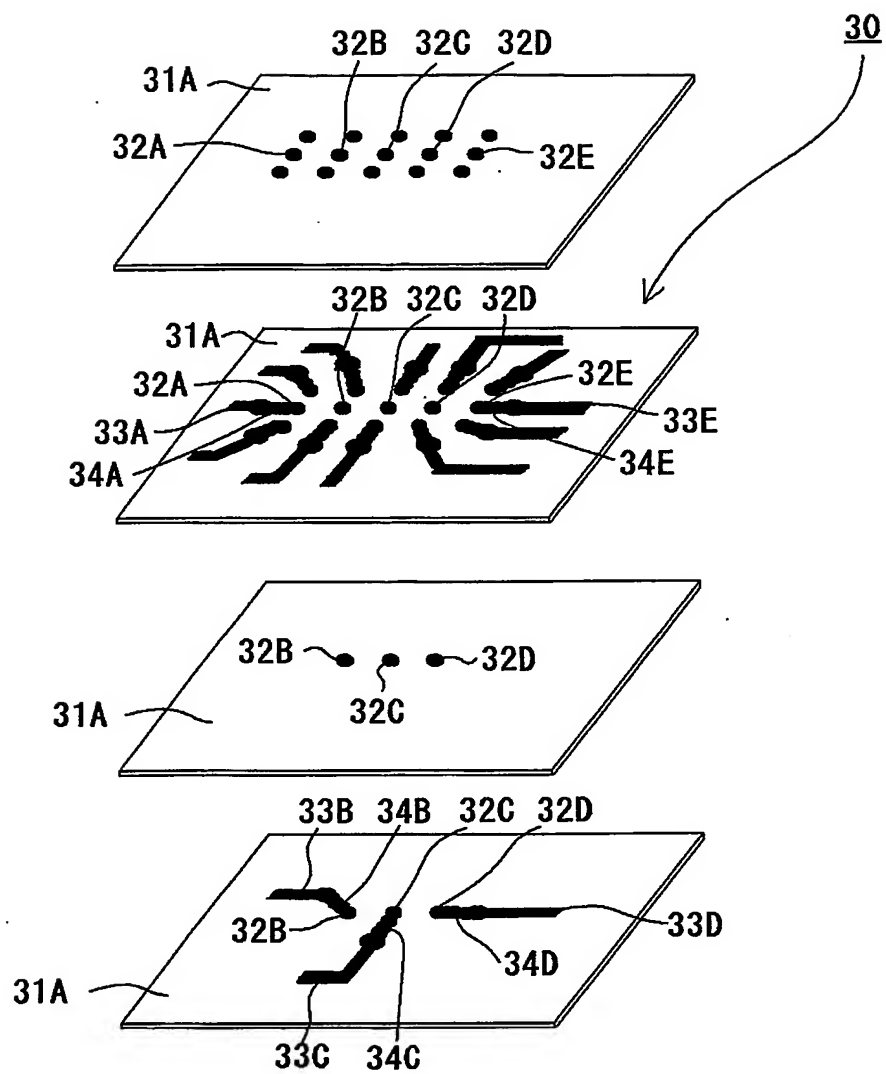
【図 2】



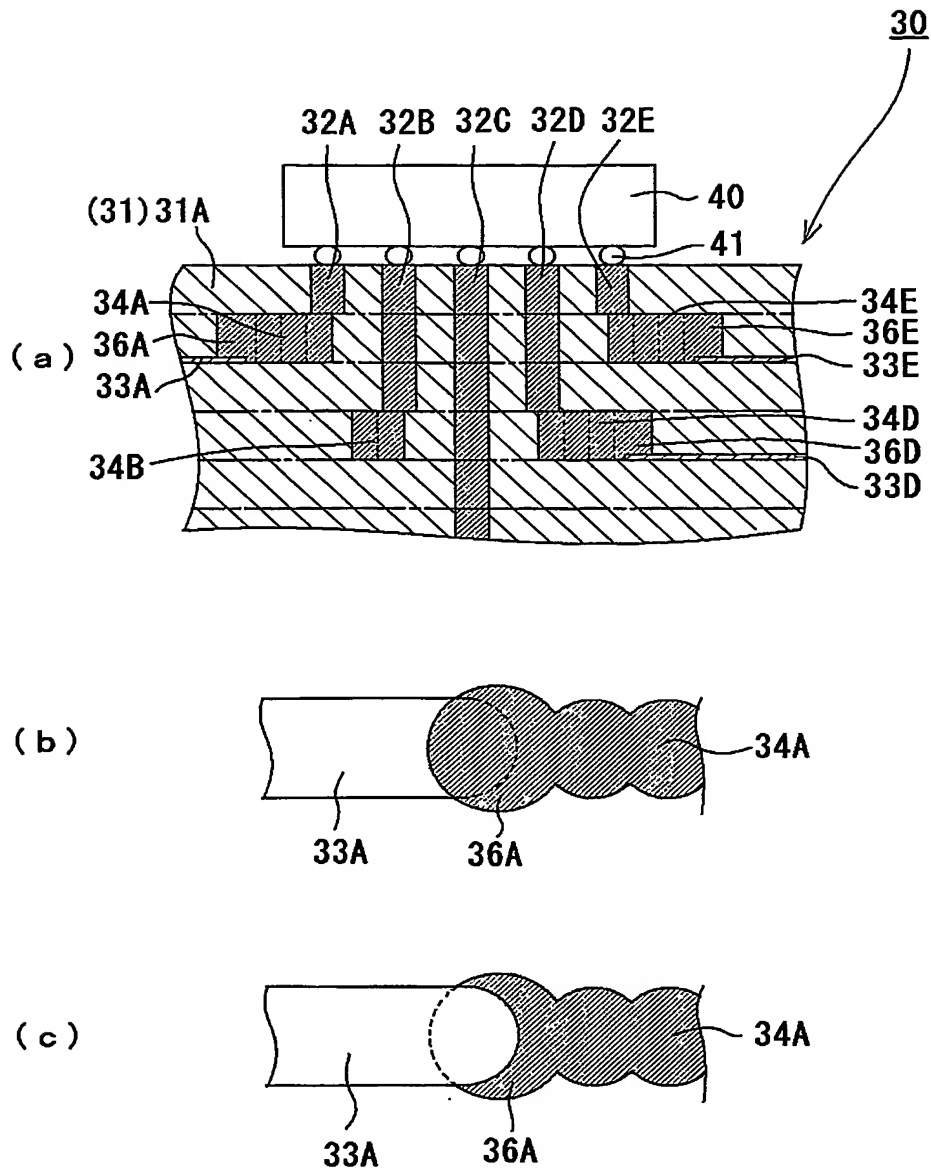
【図 3】



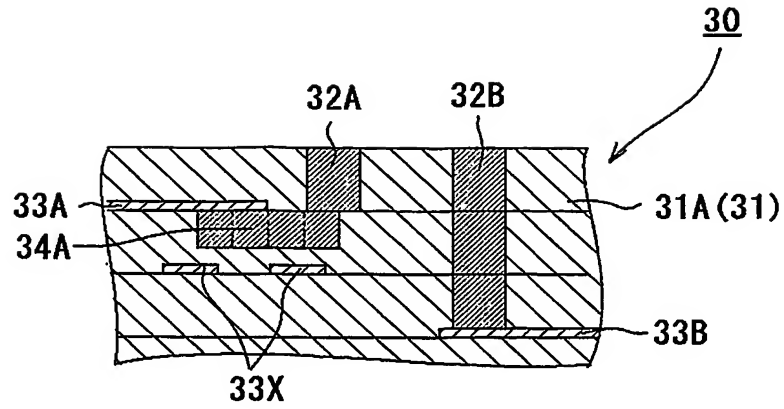
【図 4】



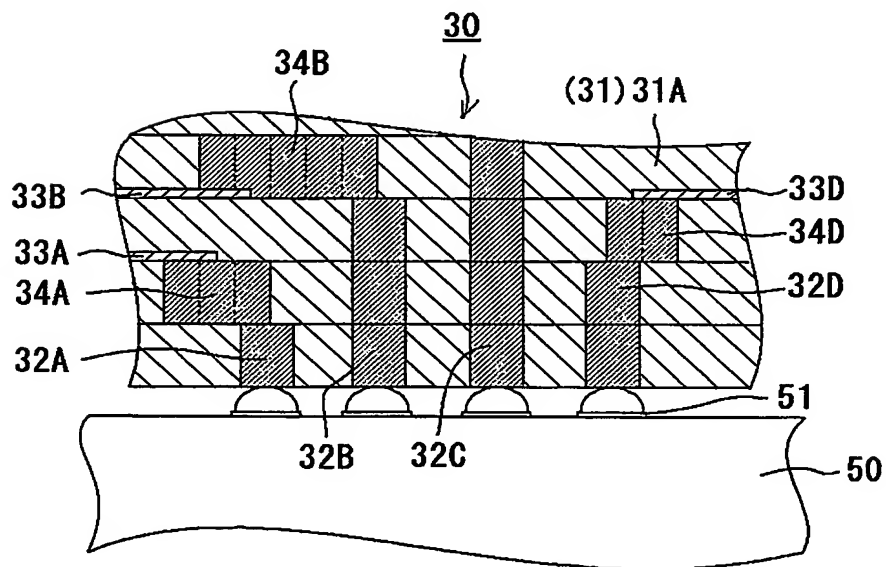
【図 5】



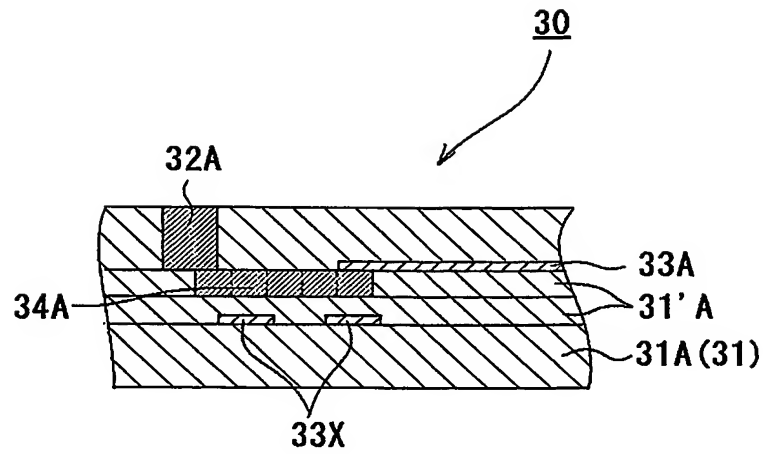
【図 6】



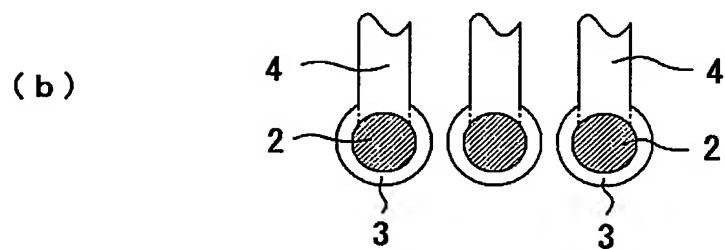
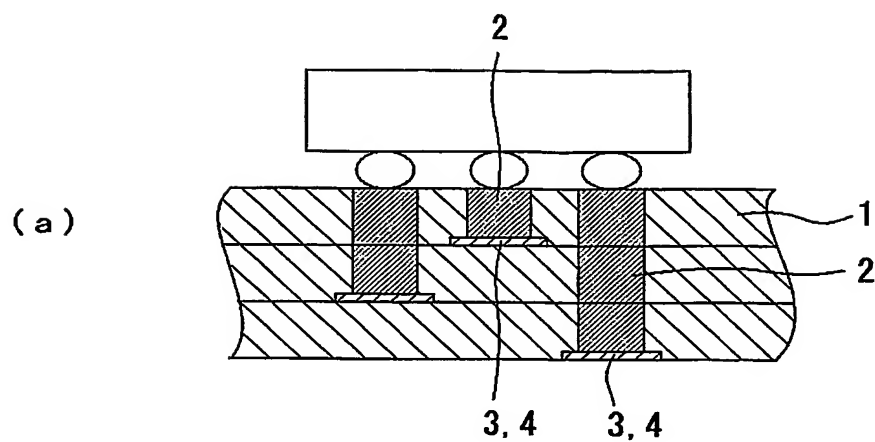
【図 7】



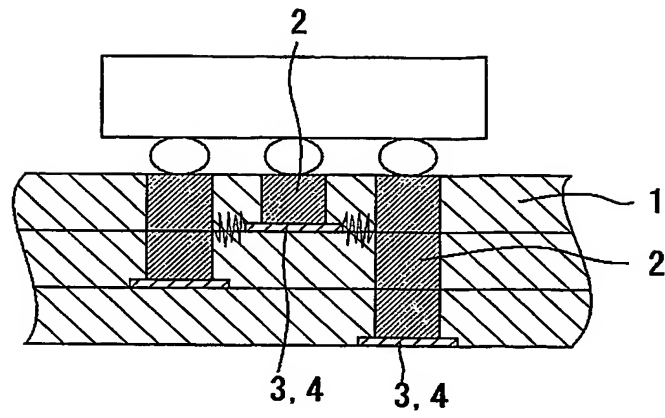
【図 8】



【図 9】



【図10】





## 【書類名】要約書

## 【要約】

【課題】特許文献 2、3 に記載の従来技術の場合には、ライン導体またはビア導体が接続ランドを有するため、セラミック基板を製造する際に接続ランドによってビア導体とライン導体との間の位置ズレやそれぞれの加工誤差等による接続不良を防止することができるが、例えば図 8 の (a) に示すように接続ランド 3 がビア導体 2 から隣接するビア導体 2 側に張り出しているため、その張り出した分だけビア導体 2、2 間の狭ピッチ化を妨げる。

【解決手段】本発明の内部導体の接続構造 10 は、セラミック多層基板 11 内で互いに隣接して配置された第 1、第 2 ビア導体 12、13 と、セラミック多層基板 11 内に形成された第 1 ライン導体 15 とを接続する接続構造において、第 1 ビア導体 12 は、第 2 ビア導体 13 から遠ざかる方向に延設された第 1 連続ビア導体 17 を含み、且つ、第 1 ビア導体 12 は、第 1 連続ビア導体 17 を介して第 1 ライン導体 15 に接続されてなる。

【選択図】図 1

認定・付加情報

特許出願の番号	特願 2004-111976
受付番号	50400583813
書類名	特許願
担当官	第四担当上席 0093
作成日	平成16年 4月14日

<認定情報・付加情報>

【提出日】 平成16年 4月 6日

特願 2004-111976

出願人履歴情報

識別番号

[000006231]

1. 変更年月日

1990年 8月28日

[変更理由]

新規登録

住 所

京都府長岡京市天神二丁目26番10号

氏 名

株式会社村田製作所

2. 変更年月日

2004年10月12日

[変更理由]

住所変更

住 所

京都府長岡京市東神足1丁目10番1号

氏 名

株式会社村田製作所

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/001815

International filing date: 08 February 2005 (08.02.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2004-111976  
Filing date: 06 April 2004 (06.04.2004)

Date of receipt at the International Bureau: 07 April 2005 (07.04.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse